

(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-152567

(43)公開日 平成6年(1994)5月31日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 1/00	C	9371-5K		
H 0 3 L 7/08				
H 0 4 L 7/033				
	9182-5J	H 0 3 L 7/ 08	M	
	7928-5K	H 0 4 L 7/ 02	B	
		審査請求 未請求 請求項の数3(全 4 頁)		

(21)出願番号 特願平4-302526

(22)出願日 平成4年(1992)11月12日

(71)出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72)発明者 田島 博

東京都品川区北品川6丁目7番35号 ソニー株式会社内

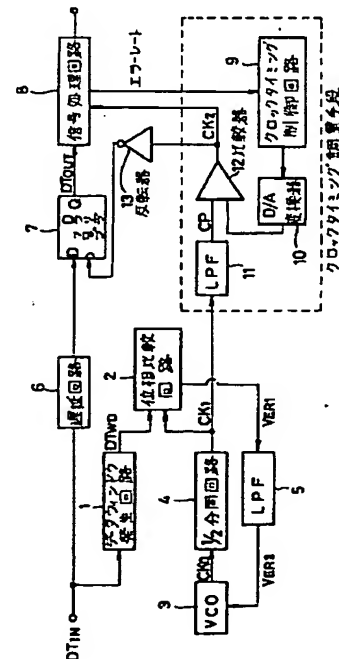
(74)代理人 弁理士 松隈 秀盛

(54)【発明の名称】 デジタルデータ処理装置

(57)【要約】

【目的】 データレコーダーのエラーレートを最低限に抑えることを目的とする。

【構成】 入力データDT<sub>IN</sub>からクロックCK<sub>1</sub>を形成するクロック形成手段1、2、3、4、5と、入力データDT<sub>IN</sub>をクロックCK<sub>1</sub>により抽出するデータ抽出手段6、7と、入力データDT<sub>IN</sub>のエラーレートを検出する手段を含む信号処理手段8と、このエラーレートに基づいてクロックCK<sub>1</sub>の位相をシフトするクロックタイミング調整手段9、10、11、12とからなるものである。



## 【特許請求の範囲】

【請求項1】入力データからクロックを形成するクロック形成手段と、前記入力データを前記クロックにより抽出するデータ抽出手段と、前記入力データのエラーレートを検出する手段を含む信号処理手段と、前記エラーレートに基づいて前記クロックの位相をシフトするクロックタイミング調整手段とからなるデジタルデータ処理装置。

【請求項2】前記クロックタイミング調整手段は前記エラーレートに基づいて前記クロックの位相をシフトした結果、前記エラーレートが変化したらこの変化したエラーレートを有効とすることを特徴とする請求項1記載のデジタルデータ処理装置。

【請求項3】前記クロックタイミング調整手段は前記クロックのエッジを傾斜して形成する手段と、エラーレートが最小になるようにクロックの位相をシフトする手段とを含むことを特徴とする請求項1又は2記載のデジタルデータ処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、データレコーダに使用して好適なデジタルデータ処理装置に関するものである。

## 【0002】

【従来の技術】従来、図3に示すデジタルデータ処理装置は以下のように構成される。入力データ $DT_{in}$ は、例えば遅延回路とエクスクルシブオア回路とにより構成されて、データエッジを作成するデータウインドウ発生回路14に入力される。ここで発生されたデータウインドウ信号は位相比較回路15の一方の入力端子に送出される。位相比較回路15の出力信号はローパスフィルタLPF16を通過して電圧制御発信器VCO17を制御する。この電圧制御発信器VCO17から送出されるクロックが1/2分周回路18を経て分周され、Dフリップフロップ20及び信号処理回路21にクロックCKとして入力され、さらに位相比較回路15の他方の入力端子に入力されている。このデータウインドウ発生回路14、位相比較回路15、ローパスフィルタLPF16、電圧制御発信器VCO17、1/2分周回路18とでPLL回路を形成する。ここで遅延回路19はローパスフィルタLPF16によるクロックの遅延分にデータを同期させるためのものである。

## 【0003】

【発明が解決しようとする課題】しかし、上述したこのようなデジタルデータ処理装置では、図4に示すように、再生したクロックCKによりDフリップフロップ20においてデータをラッチするときに、ピークシフト等による受信データ特有のジッタに対して不安定で、クロックCKの立ち上がりのタイミングとデータの位相によってはラッチしたデータが変化し、エラーレートが増大

してしまうという不都合があった。

【0004】この発明は、これらの課題を解決するためになされたもので、データレコーダーのエラーレートを最低限に抑えることを目的とする。

## 【0005】

【課題を解決するための手段】本発明のデジタルデータ処理装置は例えば図1に示す如く、入力データ $DT_{in}$ からクロックCK<sub>1</sub>を形成するクロック形成手段1、2、3、4、5と、入力データ $DT_{in}$ をクロックCK<sub>1</sub>により抽出するデータ抽出手段6、7と、入力データ $DT_{in}$ のエラーレートを検出する手段を含む信号処理手段8と、このエラーレートに基づいてクロックCK<sub>1</sub>の位相をシフトするクロックタイミング調整手段9、10、11、12とからなるものである。

【0006】また、本発明のデジタルデータ処理装置は例えば図1に示す如く、クロックタイミング調整手段9、10、11、12はエラーレートに基づいてクロックCK<sub>1</sub>の位相をシフトした結果、エラーレートが変化したらこの変化したエラーレートを有効とするものである。

【0007】また、本発明のデジタルデータ処理装置は、クロックタイミング調整手段9、10、11、12はクロックCK<sub>1</sub>のエッジを傾斜して形成する手段と、エラーレートが最小になるようにクロックCK<sub>1</sub>の位相をシフトする手段とを含むものである。

## 【0008】

【作用】上述せる本発明によれば、クロックCK<sub>1</sub>の位相をエラーレートに基づいてシフトするので、短いパルスに対しても正しくラッチすることが出来るため、ピークシフトなどによるラッチミスを少なくすることが出来る。

## 【0009】

【実施例】以下に、図1及び図2を参照して本発明のデジタルデータ処理装置の一実施例について詳細に説明する。図1において、入力データ $DT_{in}$ は、例えば遅延回路とエクスクルシブオア回路とにより構成され、データエッジを作成するデータウインドウ発生回路1に入力される。ここで発生されたデータウインドウ信号 $DT_{in}$ は位相比較回路2の一方の入力端子に送出される。

【0010】また、位相比較回路2の他方の入力端子には、電圧制御発信器VCO3から送出される第1の基準クロックCK<sub>1</sub>が1/2分周回路4を経て分周され、第2の基準クロックCK<sub>2</sub>として入力されている。

【0011】位相比較回路2からのエラー電圧 $V_{err}$ は低域通過フィルタLPF5を通して平均エラー電圧 $V_{err}$ として電圧制御発信器VCO3に入力される。電圧制御発信器VCO3はこの平均エラー電圧 $V_{err}$ に応じて第1の基準クロックCK<sub>1</sub>を制御する。ここで、データウインドウ発生回路1、位相比較回路2、電圧制御発信器VCO3、1/2分周回路4、低域通過フィルタL

PF5とで、クロック形成手段を形成する。

【0012】また、入力データ $DT_{in}$ は、遅延回路6を経て、Dフリップフロップ7のD入力端子に入力され、Dフリップフロップ7の出力信号 $DT_{out}$ は信号処理回路8に入力される。遅延回路6はローパスフィルタLPF5によるクロックの遅延分にデータを同期させるためのものである。ここで、遅延回路6とDフリップフロップ7とでデータ抽出手段を形成し、信号処理回路7は信号処理手段を形成する。

【0013】信号処理回路8で信号処理された結果のエラーレートがクロックタイミング制御回路9へ入力され、D/A変換器10を経て比較器12の一方の入力端子へ入力される。比較器12の他方の入力端子には低域通過フィルタLPF11を通した第2の基準クロック $CK_2$ が入力される。

【0014】比較器11の出力はクロック $CK_2$ として反転器13を経てDフリップフロップ7のクロック入力端子へ入力される。ここで、クロックタイミング制御回路9、D/A変換器10、比較器12、低域通過フィルタLPF11とで、クロックタイミング調整手段を形成する。

【0015】本例のデジタルデータ処理装置は以上のように構成されているので、データウインドウ発生回路1で、入力データ $DT_{in}$ と、例えば遅延回路で所定時間遅延された遅延データとで排他的論理輪演算を行い、入力データ $DT_{in}$ の立ち上がり及び立ち下りのエッジのタイミングで立ち上がり、所定のパルス幅を有するデータエッジを形成するデータウインドウ信号 $DT_w$ を発生する。

【0016】位相比較回路2では、第2の基準クロック $CK_2$ の立ち上がりエッジとデータウインドウ $DT_w$ の立ち上がりパルスの中央部との間で位相を比較し、この位相差に応じたエラー電圧 $V_{err}$ を発生する。エラー電圧 $V_{err}$ は低域通過フィルタLPF5を通して平均エラー電圧 $V_{avr}$ として電圧制御発信器VCO3に入力される。

【0017】電圧制御発信器VCO3はこの平均エラー電圧 $V_{avr}$ に応じて第1の基準クロック $CK_1$ を制御する。電圧制御発信器VCO3から送出される第1の基準クロック $CK_1$ が1/2分周回路4を経て分周され、第2の基準クロック $CK_2$ として出力される。

【0018】このように、クロック形成手段1、2、3、4、5の出力は、入力データ $DT_{in}$ に基づくデータウインドウ信号 $DT_w$ に位相が同期した第2の基準クロック $CK_2$ として送出され、クロックタイミング調整手

段9、10、11、12へ送出される。

【0019】信号処理回路8では、所定時間エラーフラグをカウントすることによりエラーレートを出力する。クロックタイミング調整手段9、10、11、12では、信号処理回路8でエラー訂正できる範囲でクロックの立ち上がりの位相を変化させ、エラーレートが最良になる位相でクロックの立ち上がりを制御する。クロックタイミング制御回路9では、CPUによりエラーレートが最小になる位相にクロックをずらすようにするが、クロックの位相を変化させた結果、エラーレートが変化する場合はこの変化したエラーレートを有効とするように判断する。

【0020】ここではエラーレートにより、CPU、D/A変換器等でしきい電圧を発生させ、第2の基準クロック $CK_2$ のエッジを傾斜させて鈍らせた信号波形CPをしきい電圧で2値化することにより第2の基準クロック $CK_2$ のデューティ比を変化させている。

【0021】上述したデジタルデータ処理装置によれば、クロックによって最適にラッチされたデータが信号処理され、エラーレートを用いて入力データの特性に合わせて、ラッチのタイミングを変化させることが出来る。尚、上述の実施例は本発明の一例であり、本発明の要旨を逸脱しない範囲でその他様々な構成が取り得ることは勿論である。

【0022】

【発明の効果】本発明によれば、クロックの位相をエラーレートに基づいてシフトするので、短いパルスに対しても正しくラッチすることが出来るため、ピークシフトなどによるラッチミスを少なくすることが出来る。これにより、データレコーダーのエラーを最低限に抑えることが出来る。

【図面の簡単な説明】

【図1】本発明のデジタルデータ処理装置のブロック図である。

【図2】本発明のデジタルデータ処理装置の信号を説明する図である。

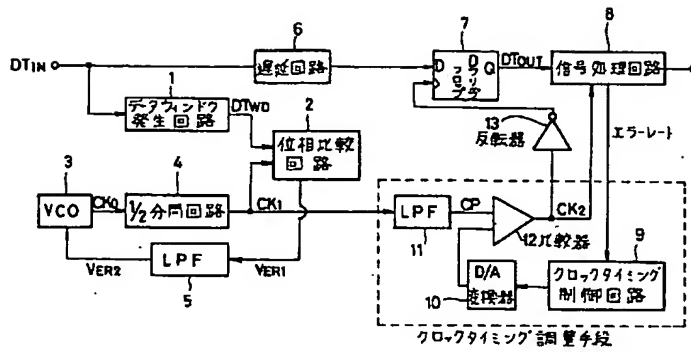
【図3】従来のデジタルデータ処理装置のブロック図である。

【図4】従来のデジタルデータ処理装置の信号を説明する図である。

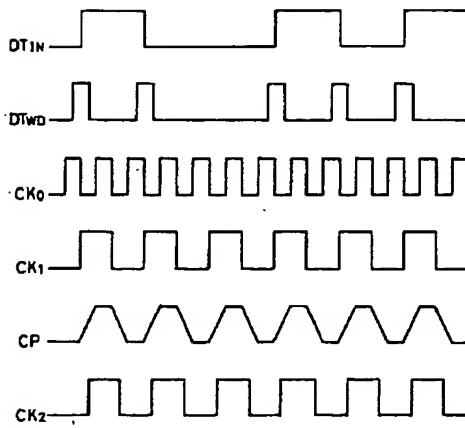
【符号の説明】

1、2、3、4、5 クロック形成手段  
6、7 データ抽出手段  
8 信号処理手段  
9、10、11、12 クロックタイミング調整手段

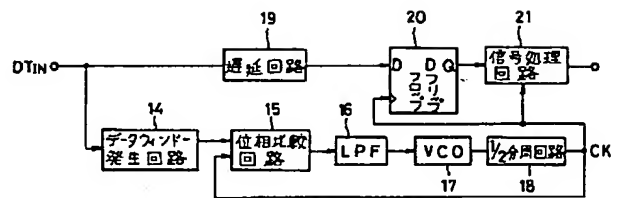
【図1】



【図2】



【図3】



【図4】

